

Proprietor's Docket No. 56956 (71987) COPY OF PAPERS
ORIGINALLY FILED

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Application of: D. Tseng et al.
Application No.: 10/075,043
Filed: February 12, 2002
For: METHOD AND SYSTEM OF WIRE BONDING FOR USE IN FABRICATION
OF SEMICONDUCTOR PACKAGE

Group No.:

Examiner: Not Yet Assigned

Assistant Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF CERTIFIED COPIES

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

Country: Taiwan
Application Number: 090133149
Filing Date: 31 December 2001

Country:
Application Number:
Filing Date:

WARNING: "When a document that is required by statute to be certified must be filed, a copy, including a photocopy or facsimile transmission of the certification is not acceptable." 37 C.F.R. 1.4(f) (emphasis added).


SIGNATURE OF PRACTITIONER

Reg. No. 33,860

Peter F. Corless

(type or print name of practitioner)

Tel. No. (617) 439-4444

EDWARDS & ANGELL, LLP

P.O. Box 9169

P.O. Address

Customer No. 21874

Boston, Massachusetts 02209

NOTE: "The claim to priority need be in no special form and may be made by the attorney or agent, if the foreign application is referred to in the oath or declaration, as required by § 1.63." 37 C.F.R. 1.55(a).

#119328

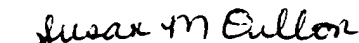
CERTIFICATE OF MAILING (37 C.F.R. 1.8a)

I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

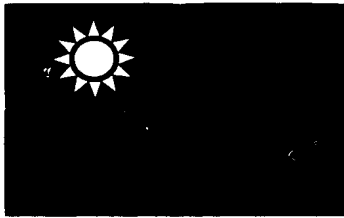
Date: 5/8/02

Susan M. Dillon

(type or print name of person mailing paper)



Signature of person mailing paper



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2001 年 12 月 31 日
Application Date

申請案號：090133149
Application No.

申請人：矽品精密工業股份有限公司
Applicant(s)

21621-1

局長
Director General

陳明邦

發文日期：西元 2002 年 4 月 22 日
Issue Date

發文字號：09111006752
Serial No.

TECHNOLOGY CENTER 2800

JUN 13 2002

RECEIVED

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 新型 名稱	中 文	製造半導體封裝件用之打線方法及系統
	英 文	
二、發明人 創作	姓 名	1. 曾維楨 2. 黃建屏 3. 黃焜銘
	國 籍	中華民國
三、申請人	住、居所	1. 豐原市圓環東路 312 巷 35 號 5 樓 2. 新竹縣竹東鎮康莊街 26 巷 8 號 3. 彰化市彰和路一段 13 巷 29 號
	姓 名 (名稱)	矽品精密工業股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台中縣潭子鄉大豐路三段 123 號
	代 表 人 名 姓 名	林文伯

裝

訂

線

四、中文發明摘要（發明之名稱：製造半導體封裝件用之打線方法及系統）

一種製造半導體封裝件用之打線方法及系統，係應用於晶片之封裝製程中，乃將已黏接有晶片之晶片承載件所構成之料片饋入打線工作站之打線區，進行以鐸線連接晶片與晶片承載件之打線作業；完成打線之料片即移送至鄰接該打線區之測試區，同時將接續之料片饋入打線工作站之打線區，以同步進行打線作業；在測試區對該完成打線之料片之鐸線進行有無開路/短路問題的測試，若無，則將完成測試之料片放出該打線工作站以進行後續之封裝作業，若有，則由一與該測試區接連之控制模組發出一控制信號至該打線區，以令該打線區之打線作業中止，俾對打

（請先閱讀背面之注意事項再填寫本頁各欄）

英文發明摘要（發明之名稱：）

裝

訂

線

四、中文發明摘要（發明之名稱：

線區中之打線機台進行檢修與調整，俟打線機台回復正常操作狀態，便解除中止打線作業之控制信號以續行打線作業。如此，於打線作業完成即予開路/短路測試，除可即時測試出不良品並即時調整打線機台外，並可降低封裝時程及耗材，故可大幅減少成本之支出。

（請先閱讀背面之注意事項再填寫本頁各欄）

英文發明摘要（發明之名稱：

五、發明說明 (1)

[發明領域]

本發明係關於一種用於打線之方法及系統，尤指一種將鐸線連接於晶片與承載晶片之承載件間，以使晶片電性連接至承載件之打線方法及系統。

[背景說明]

一般之球柵陣列半導體封裝件(BGA Semiconductor Package)之封裝製程係如第 5 圖所示者，在步驟 50 中，乃將經切割完成之晶片以銀膠(Silver Paste)或聚亞醯胺膠片(Polyimide Tape)之膠黏劑黏貼至成陣列方式(Matrix-arrayed)或單列方式(Single array-arranged)佈設之晶片承載件之預設位置上；然後，步驟 51 中，該黏接有該晶片之晶片承載件之半成品由打線機之傳遞裝置(Handler)鑽入打線機中以進行金線鐸接至晶片與晶片承載件上的打線作業(Wire Bonding)，以使晶片藉金線電性連接至晶片承載件；在步驟 52 中，完成打線作業之半成品再以該傳遞裝置移出打線機外，俾進行下一製程之以封裝樹脂包覆該晶片與金線之模壓作業(Molding)；接而，於步驟 53 中，晶片與金線為經模壓作業成形之封裝膠體所包覆後，再將半成品移入植球機中進行植球作業(Solder Ball Implantation)，以於晶片承載件之背面上植接多數個成陣列方式排列之鐸球；鐸球植接完成，便須對成形於該晶片承載件上之半成品進行切單作業(Singulation)，在步驟 54 中，晶片承載件在切割機中以切刀一一切單而形成獨立之完成封裝之半導體封裝件成品；該形成之半導體封裝件成品於打包出貨前

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

須先進行開路/短路測試(open/short Test)以檢測成品之晶片之電性連接之品質，此為步驟 55；最後，通過步驟 55 之測試者始能進入步驟 56 予以出貨。

在步驟 55 之測試中係一種開路/短路測試(open/short-O/S Test)，其乃用以測試電性連接晶片與晶片承載件之金線有否開路/短路之狀況，若有，則須追查製程中之發生不良的站別，如打線站，以檢查打線機台俾予必要之調整或檢修；然而，在出貨前檢測出之不良成品均已完成封裝，已無予以重工(Rework)或修復(Repair)之挽救機會，如此，無法於打線站中發覺不良品，將造成封裝成本的增加及物料的浪費，且發生問題之打線機台無法及時偵測不良，導致封裝線上不良之半成品的持續的產出，造成更多的浪費。

在打線作業中發生開路/短路之狀況，在高積集化(High Integration)之半導體封裝件中益為顯著。因高積集化之半導體封裝件中使用之基板上往往須形成接地環(Ground Ring)、電源環(Power Ring)及信號墊(Signal Finger)方能提供高階晶片所須之輸入/輸出接點(I/O Connections)，輸入/輸出接點的增加，用以電性連接晶片與基板的金線數目即須相對地提高，而為在有限面積上銲接較多數量之金線，即須使不同功能之金線具有不同的線弧(Wire Loop)高度，方能達到高密度銲接金線(500 至 1000 條)的目的；同時，金線的數目越多，金線間的距離即須縮減(Fine Pitch)，使高積集化之半導體封裝件之金線間的距

五、發明說明 (3)

離由傳統之 80μ 減小至約僅 50μ 。惟所鐸接金線的密度越高，相鄰金線發生碰觸而導致短路的狀況愈多；如何有效降低開路/短路發生之機率及如何儘早偵測出運作不當之打線機乃成亟待解決之課題。

有鑑於此，遂有另一種封裝方法因應而生。如第 6 圖所示，該習知方法與前述第 5 圖所示之方法相同，在晶片黏接至一晶片承載件，如基板上之步驟 60 完成後，即進行步驟 61 之打線作業，不同於前述第 5 圖所示之方法，則在步驟 61 之打線作業完成後，即將已完成鐸接金線之半成品送至開路/短路之測試機台上以對金線進行測試，如步驟 62；測試結果顯示無開路/短路之狀況，則完成測試之半成品移出測試機台以續行而後之步驟 63 之模壓作業、步驟 64 之植球作業、步驟 65 之切單作業、步驟 66 之最終 O/S 測試及步驟 67 之出貨作業；若在步驟 62 測試出金線有開路/短路之狀況，則可於模壓作業前檢知不良之半成品，不致將瑕疵品以樹脂封裝並植接鐸球而無法修復或重工，故可降低封裝之成本及材料之浪費。

然而，該種習知方法係將鐸線測試用之開路/短路測試設備自一般製程中之測試站 (Test Station) 中獨立出，故會增加製程之複雜性而造成成本的增加與時程 (Cycle Time) 的增長。同時，該開路/短路測試於打線作業完成後始進行，對目前普遍以基板型態進行封裝之製程而言，完成金線鐸接之半成品以打線機中之傳遞裝置移出後，係由該種開路/短路測試設備中之傳遞裝置移入該開路/短路測試設

五、發明說明(4)

備中，以進行金線有無開路/短路之測試，即已增加傳遞之時間而不利整體製程之時程的減少，且檢出金線有開路/短路之狀況時，打線機已同時在進行次一批基板的打線作業，而無法於次一批基板進行打線作業前即能及時檢出，故仍存在有時效性的問題，致不良品於檢出前會持續形成，並因打線機中已更換次一批基板，將亦導致發生開路/短路之原因不易找出，而進一步導致成本的增加。

發明概述

本發明之一目的即在提供一種開路/短路測試所需時間涵蓋於打線作業所需時間內而得有效縮減封裝製程之時程的製造半導體封裝件用之打線方法及系統。

本發明之另一目的在提供一種得及時偵知打線機台出現不正常運作之狀況而予及時調修之製造半導體封裝件用之打線方法及系統。

本發明之再一目的在提供一種得降低封裝成本並提高良率之製造半導體封裝件用之打線方法及系統。

本發明之又一目的在提供一種得及時追溯出導致開路/短路狀況之原因的製造半導體封裝件用之打線系統及方法。

為達成上述及其它目的，本發明所提供之製造半導體封裝件用之打線方法係包括下列步驟：1)備一由複數基板單元構成之基板片(Substrate Strip)，以在各基板單元上接置至少一晶片；2)設一具有一打線機構(Wire Bonding Mechanism)及一開路/短路測試機構(O/S Testing

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

Mechanism)之打線工作站(Wire Bonding station)，以令該已接置晶片之基板片移入該打線工作站之打線機構中；3)令該打線機構銲接銲線至基板片上之一基板單元及該基板單元上接置之晶片；4)將完成打線之基板單元移入該開路/短路測試機構中以進行開路/短路測試，並令該打線機構對同步移入該打線機構中之基板片上的次一已接置晶片之基板單元進行銲線之銲接；若銲線無開路/短路之狀況，則進入步驟5)；若偵測出銲線有開路/短路之狀況，則由該測試機構發出一控制信號至該打線機構以中止打線作業，俾對該已銲接有銲線之基板單元上之銲線進行調修及重工，然後重覆步驟4)；5)返回步驟3)，直迄該基板片上之每一基板單元均完成銲線之銲接與測試，即進入步驟6)；以及6)將該已完成銲線之銲接的基板片移出該打線工作站以進行後續之封裝製程。

該打線工作站係一由用以將未銲接銲線之基板片饋入之進料裝置及將已完成銲線之銲接且完成測試之基板片移出該打線工作站之進料/出料機構、用以銲接銲線之打線機構及用以進行開路/短路測試之開路/短路測試機構所構成之機台。

該開路/短路測試機構係由一內建於該打線工作站內之測試頭(Test Socket)及一與該測試頭電性連接之測試機(O/S Tester)所構成。該測試機得內建於打線工作站內，或裝設於打線工作站外以與多數個打線工作站內之測試頭同時接連，俾由單一測試機同時控制多個測試頭進行開路/

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

短路測試。此外，該測試機須與打線機構電性連接，俾在測試出有開路/短路狀況時，該測試機內建之控制模組得發出一控制信號至該打線機構以中止打線作業之進行。

本發明另一實施例之半導體封裝件用之打線方法係包括下列步驟：1)備一由多數基板單元構成之基板片，以在各基板單元上接置至少一晶片；2)設一具有一打線機構及一與該打線機構電性連接之開路/短路測試機構之打線工作站；3)令該已接置晶片之基板片進入該打線機構中，以銲接銲線至該基板片上之一基板單元及該基板單元上之晶片；4)將已完成銲線銲接之基板單元移入該開路/短路測試機構中以進行開路/短路測試，並將測試結果顯示於該開路/短路測試機構中，同時，同步將該基板片上之次一基板單元移入該打線機構中，以進行銲線之銲接；5)返回該步驟4)，直迄該基板片之每一基板單元均完成銲線之銲接及測試，即進入步驟6)；6)將完成銲線之銲接與測試之基板片移出該打線工作站；以及7)根據開路/短路測試機構中所顯示之測試結果，重工有開路/短路狀況之基板單元並解決造成開路/短路狀況之問題。

該開路/短路測試機構係包括至少一測試頭及一與該測試頭電性連接之測試機，且該測試機至少具有一測試有無開路/短路狀況之測試模組，以及一展現由該測試模組而來之測試結果的顯示模組。該顯示模組展現之測試結果可供操作人員檢視出現開路/短路之狀況，以據之判斷每一基板單元之每一銲線之開路/短路狀況，而可及時針對每一銲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

線予以調修或重工。

本發明再一實施例之半導體封裝件之打線方法。係包括下列步驟：1)備一由多數基板單元構成之基板片，以在各基板單元上接置至少一晶片；2)設一具有一打線機構及一與該打線機構電性連接之開路/短路測試機構之打線工作站；3)令該已接置晶片之基板片進入該打線機構中，以銲接銲線至該基板片上之一基板單元及該基板單上之晶片；4)將已完成銲線銲接之基板單元移入該開路/短路測試機構中，以進行開路/短路測試方式，並令該打線機構對同步移入該打線機構中之基板片上的次一已接置晶片之基板單元進行銲線之銲接；5)若步驟4)之測試結果為銲線無開路/短路之狀況，則進入步驟7)，若否，則令一設於該開路/短路測試機構中之控制模組判斷預輸入該開路/短路測試機構之指令為是否令該打線機構中止銲線之銲接；若預輸入之指令為令該打線機構中止銲線之銲接，則進入步驟6)，若否，則進入步驟9)；6)令該開路/短路測試機構之控制模組發出一控制信號至該打線機構以中止打線作業，俾找出導致開路/短路之原因以予排除，並重工該已銲接有銲線之基板單元，然後返回步驟4)；7)返回步驟3)，直迄該基板片上之每一基板單元均完成銲線之銲接與測試，即進入步驟8)；8)將完成銲線之銲接與測試之基板片移出該打線工作站，以進行接續之封裝製程；9)將由步驟5)而來之測試結果結果顯示於該開路/短路測試機構，然後，返回步驟3)，直迄該基板片上之每一基板單元均完成銲線之銲接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

與測試，即進入步驟 10)；10)將該完成鐸線之鐸接與測試之基板片移出該打線工作站；11)根據開路/短路測試機構中所顯示之測試結果，重工有開路/短路狀況之基板單元並解決造成開路/短路狀況之問題。

本發明所提供之半導體封裝件用之打線系統則係包括：一進料/出料機構，用以將由多數基板單元構成且各基板單元上接置有晶片之基板片饋入及移出該打線系統中；一打線機構，用以鐸接鐸線至饋入該打線系統中之基板片上之基板單元；以及一開路/短路測試機構，具有一測試頭及一與該測試頭電性連接之測試機，以由該測試機藉該測試頭測試各該已完成鐸線鐸接之基板單元有無開路/短路狀況，並在測出有開路/短路狀況時，由該與打線機構電性連接之測試機發出一控制信號至該打線機構，以令該打線機構之打線作業中止，俾進行該打線機構之調修及/或其他排除產生開路/短路狀況之問題的處理。

圖式簡單說明

以下茲以較佳具體例配合所附圖式進一步詳細敘述本發明之特點及功效。

第 1 圖係本發明第一實施例之半導體封裝件用之打線系統於操作狀況之示意圖；

第 2 圖係本發明第一實施例之半導體封裝件用之打線方法之步驟流程圖；

第 3 圖係本發明第二實施例之半導體封裝件用之打線方法的步驟流程圖；

五、發明說明(9)

第 4 圖係本發明第三實施例之半導體封裝件用之打線方法的步驟流程圖；

第 5 圖係一習知半導體封裝件之封裝製程的步驟流程圖；以及

第 6 圖係另一習知半導體封裝件之封裝製程的步驟流程圖。

發明詳細說明

[第一實施例]

如第 1 圖所示者為本發明之半導體封裝件用之打線系統的方塊圖。

如圖所示，該打線系統 1 係由一進料/出料機構 10、一打線機構 11 及一開路/短路測試機構 12 所構成。

該進料/出料機構 10 及打線機構 11 與一般傳統之打線機台者無異，故在此不另贅述。而該開路/短路測試機構 12 則包括有至少一測試頭 120 以及一與該測試頭 120 電性連接之測試機 121；該測試頭 120 乃裝設於該打線機構 11 之下游位置，俾對由該進料/出料機構移進而於打線機構 11 中完成鐸線之鐸接的待測物進行接觸，以供該測試機 121 測試該待測物有無開路/短路之狀況；該測試機 121 得與第 1 圖所示之打線系統 1A 及 1B 中之測試頭(未圖示)分別連接，使該測試機 121 得依其本身之功能設計同時連接複數個打線系統中之測試頭，並對與測試頭接觸之待測物進行測試，同時，該測試機 121 除習知之測試模組(未圖示)外，並至少具有用以與該測試模組接連以接收由該測試模組而

五、發明說明 (10)

來之測試結果以進行判斷之控制模組(未圖示)，且該控制模組係與該打線機構電性連接，以在判斷出待測物有開路/短路狀況時，發出一控制信號予該打線機構 11 以中止其銲接銲線之進行。

如第 2 圖所示，本發明第一實施例之打線方法係依下述步驟為之：

於步驟 20 中，參照第 1 圖，準備一由多數基板單元 130 所構成之基板片 13，並於各該基板單元 130 上黏接一晶片 14。該基板片 13 之形成及其與晶片 14 之黏接俱為習知者，故不予贅述。然該基板片 13 上之基板單元 130 得成矩陣型式(Matrix Type)或單列型式(Single-Column Type)者，並無限定，如第 1 圖所示即為單列型式。

於步驟 21 中，準備一打線工作站 1，參照第 1 圖，其係由一進料/出料機構 10，一打線機構 11 及一開路/短路測試機構 12 所構成者。

於步驟 22 中，令該進料/出料機構 10 將該設置有晶片 14 之基板片 13 鑽入該打線工作站 1 之打線機構 11，以由該打線機構 11 銲接銲線 15 至該基板片 13 之一基板單元 130 及其上之晶片 14 上。

於步驟 23 中，該基板單元 130 上之銲線 15 之銲接在步驟 22 中完成後，即將該已銲接銲線 15 之基板單元 130 移至該開路/短路測試機構 12 中，以進行該基板單元 130 上所銲接之銲線 15 的開路/短路測試，同時，令該進料/出料機構 10 再移動該基板片 13，以將該基板片 13 上之次一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

裝

五、發明說明 (11)

基板單元 130 進入打線機構 11，俾進行鐸線 15 之鐸接；測試之進行乃先使該測試頭 120 接觸至該基板單元 130 之預定位置上，再令該測試機 121 中之測試模組進行測試；若測試模組之測試結果為無開路/短路之狀況，則進入步驟 24，但若測試中有開路/短路之狀況，則該測試機 121 中之控制模組接收到由該測試模組而來之有開路/短路發生之信號，即會發出一控制信號至與之連接之打線機構 11，以令該打線機構 11 中止鐸接鐸線之進行，俾由工程人員調修該打線機構 11 或找出其它導致開路/短路狀況發生之原因(如鐸線或基板片本身之品質問題)以予解決，並重工該已鐸接有鐸線 15 之基板單元 130，然後重覆該步驟 23，直迄該已鐸接有鐸線 15 之基板單元 130 無開路/短路狀況之發生時，即進入步驟 24。其中，該打線機構 11 於接收到控制模組而來之控制信號後，係先完成該基板片 13 上之次一基板單元 130 之鐸線鐸接作業，始中止其打線作業之進行。

於步驟 24 中，返回步驟 22，直迄該基板片 13 上之各基板單元 130 均已鐸接有鐸線 15 並經測試，便即進步驟 25。

最後，於步驟 25 中，已完成鐸線 15 之鐸接及測試的基板片 13 係以該進料/出料機構 10 移出該打線工作站 1，以進行後續之模壓(Molding)、植球(Ball Implanation)及切單(Singulation)等習知製程，而完成半導體封裝件之製程。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

由於本發明之打線方法乃使開路/短路測試於一打線工作站或一整合有開路/短路測試機構之打線機台中進行，故能在出現開路/短路狀況時，即能及時偵知，並得及時找出導致開路/短路狀況發生之原因而予解決，遂能避免大量不良品之發生，而可降低成本。

同時，一般完成 500 至 1000 條鉅線之鉅接約需 3 至 6 分鐘，而測試一鉅線鉅接完成之基板單元所需時間僅為約 3 至 5 秒，因而，本發明之打線方法在打線之同時同步進行開路/短路之測試，可將開路/短路測試所需之時間涵蓋一般習知之封裝製程的時程中，也即，本發明之打線方法運用於半導體封裝件之封裝製程上得縮短製程所需之時間，而可降低成本且不會造成製程之複雜化。

此外，前述之第二種習知半導體封裝件之製程所使用之獨立開路/短路測試機台須另行購置，該種主要由進料/出料機構(Handler)及測試機構(Testing Mechanism)所構成之測試機台的成本中，該進料/出料機構一般佔其購置成本之約七成，也因該進料/出料機構之設置而使該種習用之測試機台之價格居高不下。然而，本發明之打線方法乃將測試機構整合於該打線工作站中，與打線工作站中之打線機構共用一進料/出料機構，故使用本發明之打線方法之半導體封裝件的製程所需設備成本便可降低。

[第二實施例]

如第 3 圖所示，並參照第 1 圖，本發明第二實施例之打線方法中，步驟 30 之準備基板片 13、步驟 31 之設立打

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

線工作站 1 及步驟 32 之鐸線 15 之鐸接均同於前述第一實施例之步驟 20 至 22，故在此不另贅述。

在步驟 33 中，該基板單元 130 上之鐸線 15 之鐸接在步驟 32 中完成後，即將該已鐸接鐸線 15 之基板單元 130 移至該開路/短路測試機構 12 中，以進行該基板單元 130 上所鐸接之鐸線 15 的開路/短路測試，同時，令該進料/出料機構 10 再移動該基板片 13，以將該基板片 13 上之次一基板單元 130 移入該打線機構，俾進行鐸線 15 之鐸接，並將測試結果顯示於該開路/短路測試機中。該顯示測試結果之方法乃將該開路/短路測試結構 12 中所設之測試模組(未圖示)所測得之結果，送至與該測試模組電性連接之一顯示模組(未圖示)上，以藉該顯示模組展現測試結果予操作人員進行判斷與管理。

在步驟 34 中，重覆該步驟 33，直迄該基板片 13 上之每一基板單元 130 均已完成鐸線 15 之鐸接及測試，並將測試結果均展現於該開路/短路測試機構 12 之顯示模組。

在步驟 35 中，令該進料/出料機構 10 將於步驟 34 中完成鐸線 15 之鐸接與測試之基板片 13 移出該打線工作站 1。

最後，在步驟 36 中，令操作人員檢視展現於該顯示模組中之測試結果，找出該打線工作站 1 之基板片 13 上有發生開路/短路狀況之基板單元 130，以據之判斷導致開路/短路狀況發生之原因，俾即予調修或更換，並重工發生開路/短路狀況之基板單元 130，俾將修復開路/短路狀況之基

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

板片 13 進入後續之如模壓、植球及切單等習知之封裝製程。

[第三實施例]

如第 4 圖所示，並參照第 1 圖，本發明第三實施例之打線方法中，步驟 40 之準備基板片 13、步驟 41 之設立打線工作站 1 及步驟 42 之鐸線 15 之鐸接均同於前述第一實施例之步驟 20 至 22，故在此不另贅述。

在步驟 43 中，該基板單元 130 上之鐸線 15 之鐸接在步驟 42 中完成後，即將該已鐸接鐸線 15 之基板單元 130 移至該開路/短路測試機構 12 中，以進行該基板單元 130 上所鐸接之鐸線 15 的開路/短路測試，同時，令該進料/出料機構 10 再移動該基板片 13，以將該基板片 13 上之次一基板單元 130 移入該打線機構 11，俾進行鐸線 15 之鐸接。

在步驟 44 中，若在步驟 43 中所得之測試結果為鐸線 15 無開路/短路狀況，則進入步驟 46，若否則令一設於該開路/短路測試機構 12 中之控制模組(未圖示)判斷為操作人員預輸入該開路/短路測試機構 12 之指令為是否令該打線機構 11 中止鐸線 15 之鐸接作業；若預輸入之指令為令該打線機構 11 中止鐸線 15 之鐸接作業，則進入步驟 45，若否，則進入步驟 48；

在步驟 45 中，令該開路/短路測試機構 12 之控制模組發出一控制信號至與之電性連接之打線機構 11，以在該打線機構 11 完成該基板片 13 之次一基板單元 130 上之鐸線鐸接，即中止其鐸線 15 之鐸接作業，俾供操作人員找出導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

●

五、發明說明 (15)

致開路/短路狀況之原因以予及時排除，並重工該已鐸接有鐸線 15 之基板單元 130，然後，返回步驟 43。

在步驟 46 中，重覆步驟 43，直迄該基板片 13 上之每一基板單元 130 均完成鐸線 15 之鐸接與測試，便即進入步驟 47。

在步驟 47 中，將於步驟 46 中所完成之鐸接有鐸線 15 並經測試而無開路/短路狀況之基板片 13 移出該打線工作站 1，以進行後續之封裝製程。

在步驟 48 中，將由步驟 44 而來之測試結果顯示於一設於該開路/短路測試機構 12 中之顯示模組(未圖示)，然後，返回步驟 43)，直迄該基板片 13 上之每一基板單元 130 均完成鐸線 15 之鐸接與測試。

在步驟 49 中，首先，將步驟 48 中完成鐸線 15 之鐸接之基板片 13 移出該打線工作站 1，然後，由操作人員根據該開路/短路測試機構 12 之顯示模組中所展現之測試結果，找出導致開路/短路狀況之原因以予及時排除，同時，重工該開路/短路狀況之基板單元 130，以令進入後續封裝製程之基板單元 130 無不良品。

以上所述者，僅為本發明之具體實施例而已，其它任何未背離本發明之精神與技術下所作之等效改變或修飾，均應仍包含在下述專利範圍之內。

[元件符號之說明]

- 1 打線系統
- 1 打線工作站

五、發明說明 (16)

- 10 進料/出料機構
- 11 打線機構
- 12 開路/短路測試機構
- 120 測試頭
- 121 測試機
- 13 基板片
- 130 基板單元
- 14 晶片
- 15 鐸線
- 1A,1B 打線系統

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



六、申請專利範圍

1. 一種製造半導體封裝件用之打線方法，係包括下列步驟：

- 1) 備一由複數基板單元構成之基板片，以在各基板單元上接置至少一晶片；

- 2) 設一至少具有一打線機構及一開路/短路機構之打線工作站，以令該接置有晶片之基板片移入該打線機構中；

- 3) 令該打線機構銲接銲線至該基板片上之一基板單元及該基板單元上接置之晶片；

- 4) 將完成銲線之銲接的基板單元移入該開路/短路測試機構中，以進行開路/短路測試，並令該打線機構對同步移入該打線機構中之基板片上的次一已接置晶片之基板單元銲接銲線；若測試之結果顯示無開路/短路之狀況，則進入步驟 5)，若測試之結果顯示有開路/短路之狀況，則令該開路/短路測試機構發出一控制信號至該打線機構，以中止銲線之銲接作業，俾對該打線機構進行調修或找出其它造成開路/短路狀況發生之原因而予解決，並重工該已銲接有銲線之基板單元上的銲線，然後，重覆步驟 4)；

- 5) 返回步驟 3)，直迄該基板片上之每一基板單元均完成銲線之銲接及測試，即進入步驟 6)；以及

- 6) 將該已完成銲線之銲接及測試之基板片移出該打線工作站，以進行後續之封裝製程。

2. 如申請專利範圍第 1 項之打線方法，其中，該開路/短

六、申請專利範圍

路測試機構係包括有至少一測試頭及一與該測試頭電性連接之測試機。

3. 如申請專利範圍第 2 項之打線方法，其中，該測試頭係用以與該完成鐸線鐸接之基板單元接觸，以供該測試機經由該測試頭對該基板單元上之鐸線進行開路/短路測試。
4. 如申請專利範圍第 2 項之打線方法，其中，該測試機係至少包括：
 - 一測試模組，與該測試頭電性連接以經由該測試頭進行開路/短路測試；以及
 - 一控制模組，與該測試模組及打線機構電性連接，俾在接收到由該測試模組而來之有開路/短路狀況之信號後，發出一控制信號至該打線機構，以中止該打線機構鐸接鐸線之進行。
5. 如申請專利範圍第 2 項之打線方法，其中，該測試機復可接連至少另一打線工作站中所設之測試頭，以同時控制複數個打線工作站中之測試頭進行開路/短路測試。
6. 如申請專利範圍第 1 項之打線方法，其中，該打線工作站復具有一進料/出料機構，以傳遞該基板片出入該打線工作站。
7. 如申請專利範圍第 1 項之打線方法，其中，該打線工作站係一內建有該開路/短路測試機構之打線機台，且該開路/短路測試機構係設於該打線機台中之打線機構的下游位置。

六、申請專利範圍

8. 如申請專利範圍第 1 項之打線方法，其中，該打線工作站係由一內設有至少一測試頭之打線機台，以及一設於該打線機台外部並與該測試頭電性連接之測試機所構成者，且該測試頭係設於該打線機台中之打線機構的下游位置。
9. 如申請專利範圍第 1 項之打線方法，其中，該步驟 4) 中，該打線機構於接收到開路/短路測試機構而來之控制信號後，係俟該次一基板單元完成鐸線之鐸接始中止鐸線之鐸接作業。
10. 如申請專利範圍第 1 項之打線方法，其中，該基板片上之基板單元係以矩陣方式排列者。
11. 如申請專利範圍第 1 項之打線方法，其中，該基板片上之基板單元係以單列方式排列者。
12. 一種製造半導體封裝件用之打線方法，係包括下列步驟：
 - 1) 備一由複數基板單元構成之基板片，以在各基板單元上接置至少一晶片；
 - 2) 設一至少具有一打線機構及一開路/短路機構之打線工作站，以令該接置有晶片之基板片移入該打線機構中；
 - 3) 令該打線機構鐸接鐸線至該基板片上之一基板單元及該基板單元上接置之晶片；
 - 4) 將已完成鐸線鐸接之基板單元移入該開路/短路測試機構中，以對之進行開路/短路測試，並同步將該

六、申請專利範圍

基板片上之次一接置有晶片之基板單元移入該打線機構中進行鐸線之鐸接，然後，令該開路/短路測試機構顯示測試結果；

5) 返回步驟 4)，直迄該基板片之每一基板單元均完成鐸線之鐸接及測試，即進步驟 6)；

6) 將完成鐸線之鐸接與測試之基板片移出該打線工作站，以根據開路/短路測試機構於步驟 4) 所顯示之測試結果，重工有開路/短路狀況之基板單元並解決導致開路/短路狀況之問題。

13. 如申請專利範圍第 12 項之打線方法，其中，該開路/短路測試機構係包括有至少一測試頭及一與該測試頭電性連接之測試機。

14. 如申請專利範圍第 13 項之打線方法，其中，該測試頭係用以與該完成鐸線鐸接之基板單元接觸，以供該測試機經由該測試頭對該基板單元上之鐸線進行開路/短路測試。

15. 如申請專利範圍第 13 項之打線方法，其中，該測試機係至少包括：

一測試模組，與該測試頭電性連接以藉該測試頭進行開路/短路測試；以及

一顯示模組，與該測試模組接連，俾顯示該測試模組而來之測試結果。

16. 如申請專利範圍第 13 項之打線方法，其中，該測試機復可接連至少另一打線工作站中所設之測試頭，以同時

六、申請專利範圍

控制複數個打線工作站中之測試頭進行開路/短路測試。

- 17.如申請專利範圍第 12 項之打線方法，其中，該打線工作站復具有一進料/出料機構，以傳遞該基板片出入該打線工作站。
- 18.如申請專利範圍第 12 項之打線方法，其中，該打線工作站係一內建有該開路/短路測試機構之打線機台，且該開路/短路測試機構係設於該打線機台中之打線機構的下游位置。
- 19.如申請專利範圍第 12 項之打線方法，其中，該打線工作站係由一內設有至少一測試頭之打線機台，以及一設於該打線機台外部並與該測試頭電性連接之測試機所構成者，且該測試頭係設於該打線機台中之打線機構的下游位置。
- 20.如申請專利範圍第 12 項之打線方法，其中，該基板片上之基板單元係以矩陣方式排列者。
- 21.如申請專利範圍第 12 項之打線方法，其中，該基板片上之基板單元係以單列方式排列者。
- 22.一種製造半導體封裝件用之打線方法，係包括下列步驟：
 - 1)備一由複數基板單元構成之基板片，以在各基板單元上接置至少一晶片；
 - 2)設一至少具有一打線機構及一開路/短路機構之打線工作站，以令該接置有晶片之基板片移入該打線機

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

構中；

3)令該打線機構銲接銲線至該基板片上之一基板單元及該基板單元上接置之晶片；

4)將完成銲線銲接之基板單元移入該開路/短路測試機構中，以進行開路/短路測試，並令該打線機構對同步移入該打線機構中之基板片上的次一已接置晶片之基板單元進行銲線之銲接；

5)若步驟 4)所得之測試結果為銲線無開路/短路之狀況，則進入步驟 7)，若否，則令一設於該開路/短路測試機構中之控制模組判斷預輸入該開路/短路測試機構之指令為是否使該打線機構中止銲線之銲接；若預輸入之指令為令該打線機構中止銲線之銲接，則進入步驟 6)，若否，則進入步驟 9)；

6)令該開路/短路測試機構之控制模組發出一控制信號至該打線機構以中止打線作業，俾找出導致開路/短路之原因以予排除，並重工該已銲接銲線之基板單元，然後，返回步驟 4)；

7)返回步驟 3)，直迄該基板片上之每一基板單元均完成銲線之銲接與測試，即進入步驟 8)；

8)將完成銲線之銲接與測試之基板片移出該打線工作站，以進行後續之封裝製程；

9)將由步驟 5)而來之測試結果顯示於該開路/短路測試機構之一顯示模組上，然後，返回步驟 3)，直迄該基板片上之每一基板單元均完成銲線之銲接與測試，即

六、申請專利範圍

進入步驟 9)；

10)將該完成鐸線之鐸接與測試之基板片移出該打線工作站；以及

11)根據該開路/短路測試機構之顯示模組所顯示之測試結果，重工有開路/短路狀況之基板單元並找出造成開路/短路狀況之問題以予排除。

- 23.如申請專利範圍第 22 項之打線方法，其中，該開路/短路測試機構係包括有至少一測試頭及一與該測試頭電性連接之測試機。
- 24.如申請專利範圍第 23 項之打線方法，其中，該測試頭係用以與該完成鐸線鐸接之基板單元接觸，以供該測試機經由該測試頭對該基板單元上之鐸線進行開路/短路測試。
- 25.如申請專利範圍第 23 項之打線方法，其中，該測試機係包括該控制模組、該顯示模組以及一測試模組，該測試模組係與該測試頭電性連接，以藉該測試頭對該基板單元進行開路/短路測試，且得將測試結果送至該控制模組及顯示模組。
- 26.如申請專利範圍第 23 項之打線方法，其中，該測試機復可接連至少另一打線工作站中所設之測試頭，以同時控制複數個打線工作站中之測試頭進行開路/短路測試。
- 27.如申請專利範圍第 22 項之打線方法，其中，該打線工作站復具有一進料/出料機構，以傳遞該基板片出入該

六、申請專利範圍

打線工作站。

28. 如申請專利範圍第 22 項之打線方法，其中，該打線工作站係一內建有該開路/短路測試機構之打線機台，且該開路/短路測試機構係設於該打線機台中之打線機構的下游位置。
29. 如申請專利範圍第 22 項之打線方法，其中，該打線工作站係由一內設有至少一測試頭之打線機台，以及一設於該打線機台外部並與該測試頭電性連接之測試機所構成者，且該測試頭係設於該打線機台中之打線機構的下游位置。
30. 如申請專利範圍第 22 項之打線方法，其中，於該步驟 6) 中，該打線機構於接收到該開路/短路測試機構之控制模組而來的控制信號，係俟該次一基板單元完成鐸線之鐸接始中止鐸線之鐸接作業。
31. 如申請專利範圍第 22 項之打線方法，其中，該基板片上之基板單元係以矩陣方式排列者。
32. 如申請專利範圍第 22 項之打線方法，其中，該基板片上之基板單元係以單列方式排列者。
33. 一種製造半導體封裝件用之打線系統，係包括：
 - 一進料/出料機構，用以將由多數基板單元構成且各基板單元上接置有至少一晶片之基板片移入/移出該打線系統；
 - 一打線機構，用以鐸接鐸線至由該進料/出料機構所移至之基板片上，以藉該鐸線電性連接各該晶片與基

六、申請專利範圍

板單元；以及

至少一開路/短路測試機構，用以對由該進料/出料機構所移至之基板片上之鐸線進行開路/短路測試，且該開路/短路測試機構係設於該打線機構之下游位置，俾在其對已鐸接鐸線之基板單元進行開路/短路測試時，該打線機構得同步對該基板片上之次一接置有晶片之基板單元鐸接鐸線，而使開路/短路測試所需之時間涵蓋於該晶片與基板單元間完成鐸接鐸線所需之時間內。

34.如申請專利範圍第33項之打線系統，其中，該開路/短路測試機構係包括有至少一測試頭及一與該測試頭電性連接之測試機。

35.如申請專利範圍第34項之打線系統，其中，該測試頭係用以與該完成鐸線鐸接之基板單元接觸，以供該測試機經由該測試頭對該基板單元上之鐸線進行開路/短路測試。

36.如申請專利範圍第34項之打線系統，其中，該測試機係至少包括：

一測試模組，與該測試頭電性連接以經由該測試頭進行開路/短路測試；以及

一控制模組，與該測試模組及打線機構電性連接，俾在接收到由該測試模組而來之有開路/短路狀況之信號後，發出一控制信號至該打線機構，以中止該打線機構鐸接鐸線之進行。

37.如申請專利範圍第36項之打線系統，其中，該打線機

六、申請專利範圍

構於接收到該開路/短路測試機構而來之控制信號後，係先將該基板片上之次一接置有晶片之基板單元之鐸線鐸接完成，始中止其鐸線之鐸接作業。

38.如申請專利範圍第34項之打線系統，其中，該測試機係至少包括：

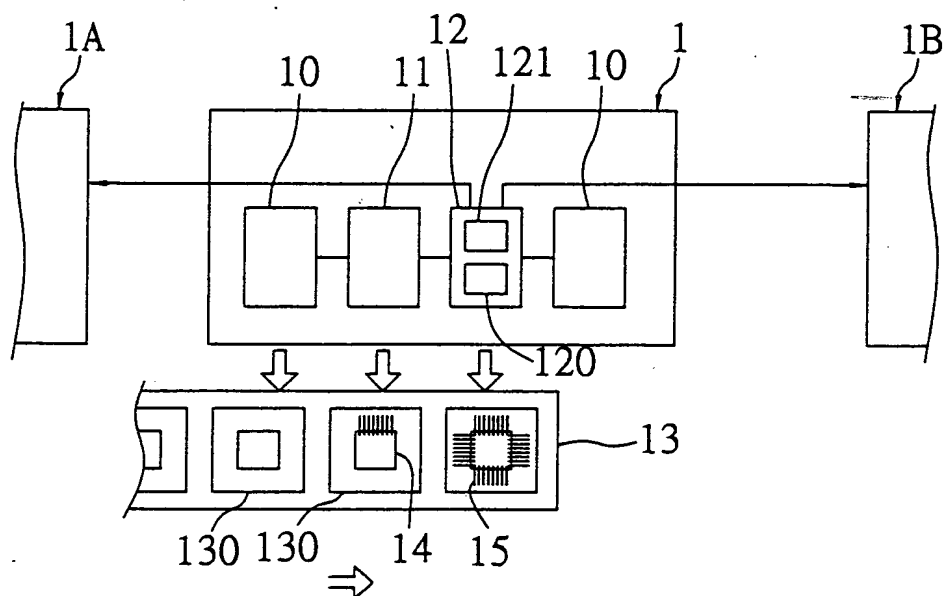
一測試模組，與該測試頭電性連接以藉該測試頭進行開路/短路測試；以及

一顯示模組，與該測試模組接連，俾顯示該測試模組而來之測試結果。

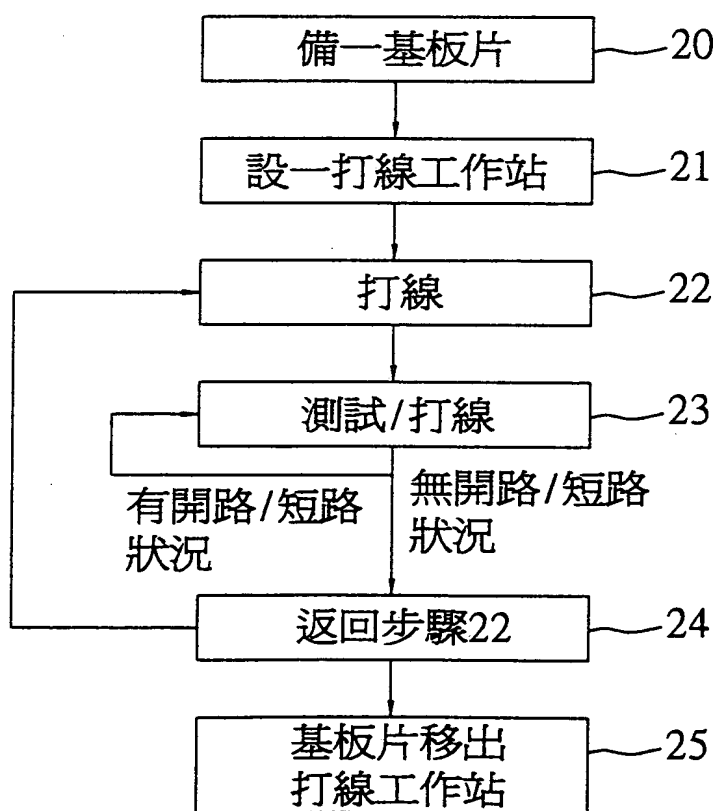
39.如申請專利範圍第34項之打線系統，其中，該測試機復可接連至少另一打線系統中所設之測試頭，以同時控制複數個打線系統中之測試頭進行開路/短路測試。

40.如申請專利範圍第33項之打線系統，其中，該基板片上之基板單元係以矩陣方式排列者。

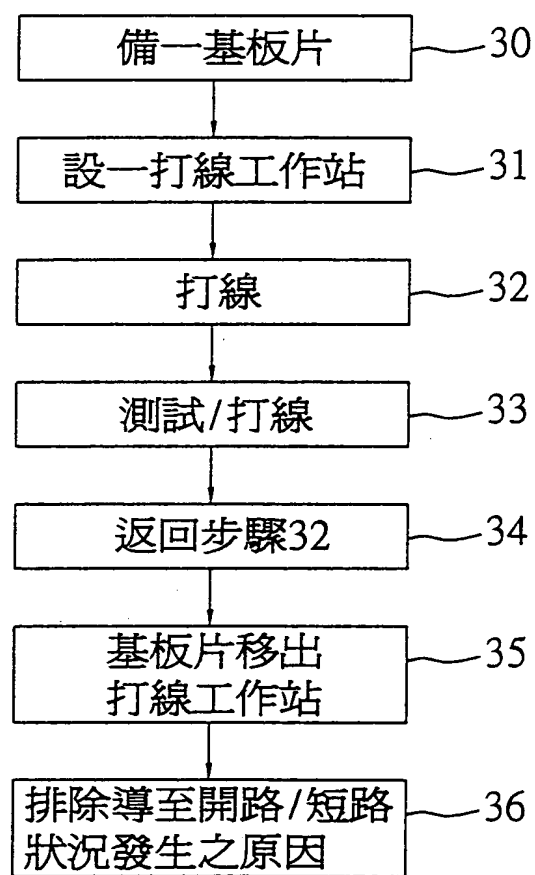
41.如申請專利範圍第33項之打線系統，其中，該基板片上之基板單元係以單列方式排列者。



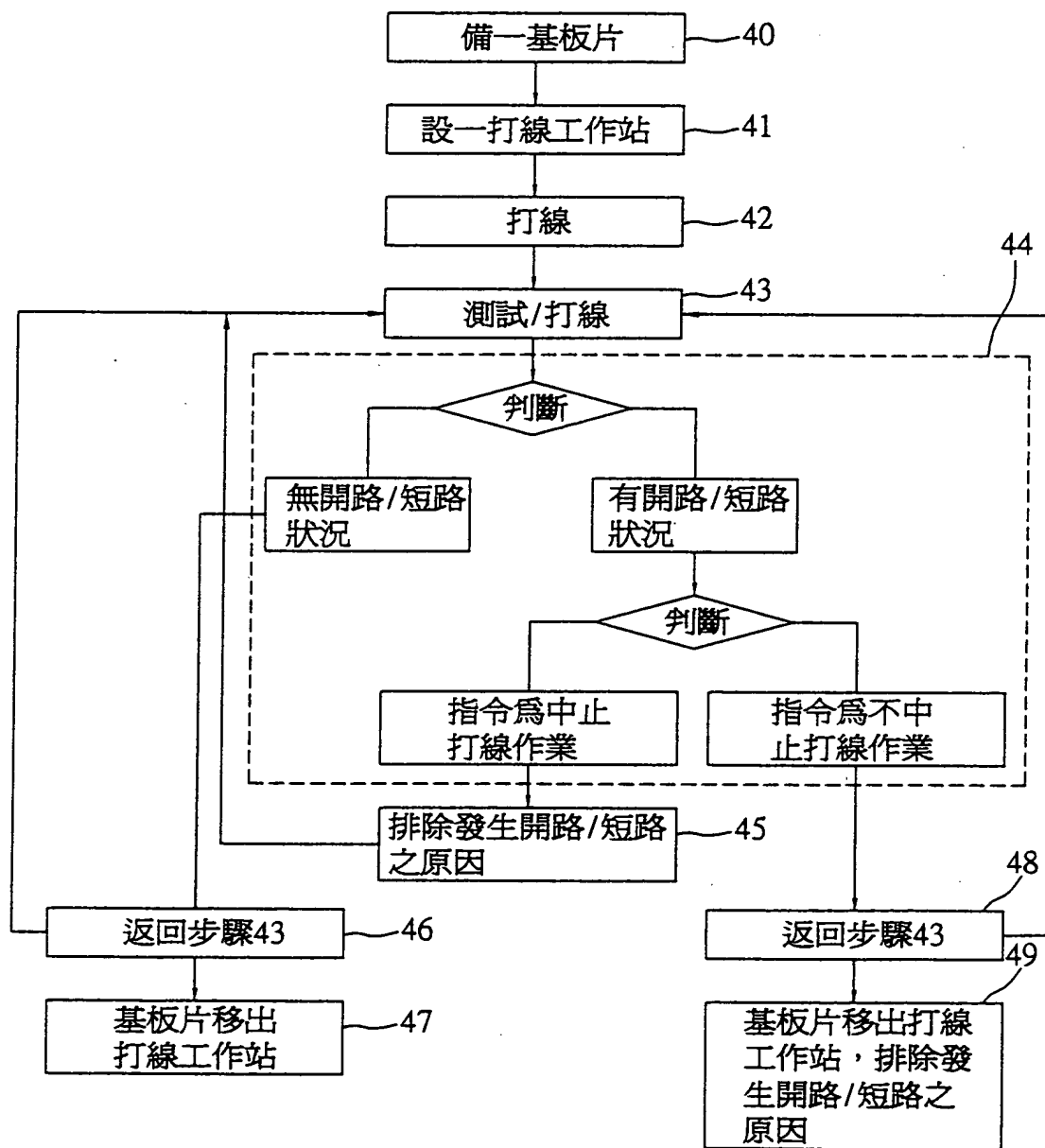
第 1 圖



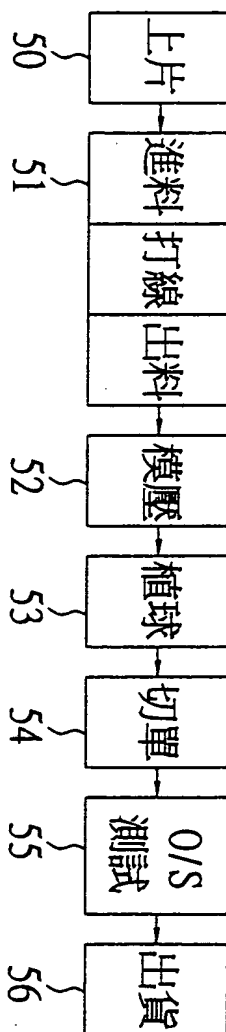
第 2 圖



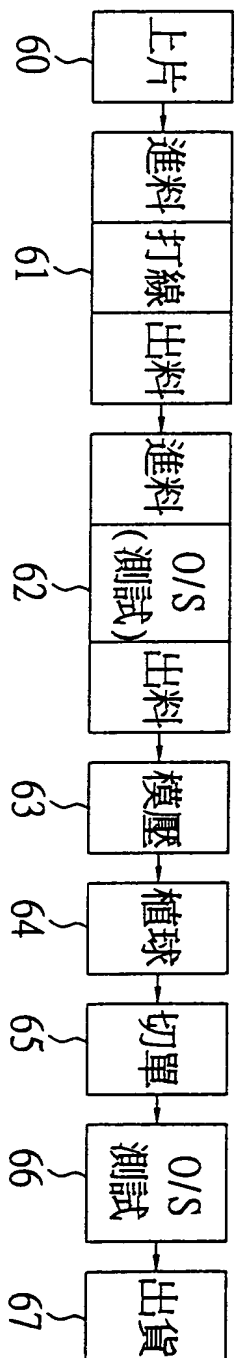
第 3 圖



第 4 圖



第 5 圖



第 6 圖